

Japan Patent Office
Patent Laying-Open Gazette

Patent Laying-Open No. 2004-4241
Date of Laying-Open: January 8, 2004
International Class(es): G 09G 3/36
G 02 F 1/133
G 09 G 3/20
H 03 F 3/34
H 03 F 3/50

(26 pages in all)

Title of the Invention: Analog Buffer Circuit, Display Device and Mobile Terminal

Patent Appln. No. 2002-159029

Filing Date: May 31, 2002

Inventor(s): Yoshiharu NAKAJIMA, Yoshinori KIDA,
and Toshikazu MAEKAWA

Applicant(s): Sony Corporation

(transliterated, therefore the
spelling might be incorrect)

[Abstract]

[Problems]

An analog buffer circuit formed on an insulating substrate with TFT encounters an increase in input-output offset and variations thereof.

[Means for Solution]

To the gate of an NMOS transistor Qn11 of a source-follower, two capacitors Cn1 and Cn2 for example are connected to appropriately control ON/OFF of switches Sn1-Sn5, make offset detection of the source-follower in two steps, and cancel the detected offsets successively. The final offset voltage is thus made sufficiently small and offset cancellation of high precision is achieved.

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4241

(P2004-4241A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int.Cl.⁷

G09G 3/38
G02F 1/133
G09G 3/20
H03F 3/34
H03F 3/50

F 1

G09G 3/38
G02F 1/133 505
G02F 1/133 550
G09G 3/20 611A
G09G 3/20 611H

テーマコード (参考)

2H093
5C006
5C080
5J091

審査請求 未請求 請求項の数 13 O L (全 26 頁) 最終頁に続く

(21) 出願番号

特願2002-159029 (P2002-159029)

(22) 出願日

平成14年5月31日(2002.5.31)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100086298

弁理士 船橋 國則

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 木田 芳利

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 前川 敬一

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

最終頁に続く

(54) 【発明の名称】 アナログバッファ回路、表示装置および携帯端末

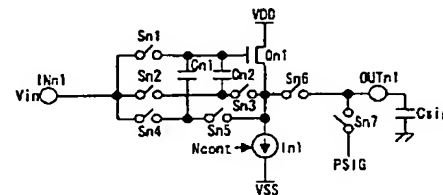
(57) 【要約】

【課題】 T F Tを用いて絶縁基板上にアナログバッファ回路を形成すると、アナログバッファ回路の入出力オフセットおよびそのばらつきが大きくなる。

【解決手段】 ソースフォロアのNMOSトランジスタQ_{n1}のゲートに、例えば2つのキャパシタC_{n1}、C_{n2}を接続し、スイッチS_{n1}～S_{n5}の導通/非導通の制御を適宜行うことで、ソースフォロアのオフセット検出を2回に亘って分割して行い、その検出したオフセットを順にキャンセルすることにより、最終オフセット電圧を十分に小さくし、高精度なオフセットキャンセルを実現する。

【選択図】

図 1



【特許請求の範囲】

【請求項 1】

出力負荷を駆動するソースフォロア手段と、
前記ソースフォロア手段のオフセット検出を複数回に亘って分割して行い、その検出したオフセットを順にキャンセルするオフセットキャンセル手段と
を備えたことを特徴とするアナログバッファ回路。

【請求項 2】

絶縁基板上に薄膜トランジスタで形成されてなる
ことを特徴とする請求項 1 記載のアナログバッファ回路。

【請求項 3】

前記ソースフォロア手段は、NMOS トランジスタからなる第 1 のソースフォロア手段と
PMOS トランジスタからなる第 2 のソースフォロア手段とを有し、前記第 1 のソースフ
ォロア手段と前記第 2 のソースフォロア手段とが前記出力負荷をプリチャージするプリチ
ャージ電位の極性に依りてアクティブ状態となる
ことを特徴とする請求項 1 記載のアナログバッファ回路。

【請求項 4】

前記ソースフォロア手段は、制御信号の極性に依りて導通状態／非導通状態になる第 1 の
MOS トランジスタと、ソースフォロアの MOS トランジスタに対して直列に接続された
第 2 の MOS トランジスタと、前記第 1 の MOS トランジスタに対して直列に接続され、
前記第 2 の MOS トランジスタと共にカレントミラー回路を形成する第 3 の MOS トラン
ジスタとからなる電流源を有する
ことを特徴とする請求項 1 記載のアナログバッファ回路。

【請求項 5】

透明絶縁基板上に画素がマトリクス状に配置されてなる表示部と、
前記透明絶縁基板上に前記表示部と共に搭載され、デジタル表示信号をアナログ表示信号
に変換して前記表示部のデータ線に与える DA 変換回路とを具備し、
前記 DA 変換回路が、
前記データ線を駆動するソースフォロア手段と、
前記ソースフォロア手段のオフセット検出を複数回に亘って分割して行い、その検出した
オフセットを順にキャンセルするオフセットキャンセル手段とを備えたアナログバッファ
回路を有する
ことを特徴とする表示装置。

【請求項 6】

前記アナログバッファ回路が薄膜トランジスタで形成されている
ことを特徴とする請求項 5 記載の表示装置。

【請求項 7】

前記画素が液晶セルを含んでなる液晶表示装置において、
前記データ線に対して液晶への電圧非印加時の階調レベルのプリチャージ電位をプリチャ
ージする手段を備え、
前記ソースフォロア手段は、NMOS トランジスタからなる第 1 のソースフォロア手段と
PMOS トランジスタからなる第 2 のソースフォロア手段とを有し、前記第 1 のソースフ
ォロア手段と前記第 2 のソースフォロア手段とが前記プリチャージ電位の極性に依りてア
クティブ状態となる
ことを特徴とする請求項 5 記載の表示装置。

【請求項 8】

前記 DA 変換回路は、階調数に対応した複数の基準電圧を発生する基準電圧発生回路と、
前記複数の基準電圧の中からデジタル表示信号に対応した基準電圧を選択して出力する基
準電圧セレクタとを有する基準電圧選択型 DA 変換回路であり、前記基準電圧セレクタの
出力側に前記アナログバッファ回路を配置してなる
ことを特徴とする請求項 5 記載の表示装置。

10

20

30

40

50

【請求項 9】

前記 D A 変換回路は、階調数に対応した複数の基準電圧を発生する基準電圧発生回路と、前記複数の基準電圧の中からデジタル表示信号に対応した基準電圧を選択して出力する基準電圧セレクトとを有する基準電圧選択型 D A 変換回路であり、前記基準電圧発生回路の出力側に前記アナログバッファ回路を配置してなることを特徴とする請求項 5 記載の表示装置。

【請求項 10】

前記 D A 変換回路は、スイッチとキャパシタの組み合わせからなるスイッチトキャパシタ型 D A 変換回路であり、その出力段に前記アナログバッファ回路を配置してなることを特徴とする請求項 5 記載の表示装置。

10

【請求項 11】

前記スイッチトキャパシタ型 D A 変換回路において、その D A 変換部のキャパシタと前記アナログバッファ回路のキャパシタとを兼用したことを特徴とする請求項 10 記載の表示装置。

【請求項 12】

前記 D A 変換回路は、階調数に対応した複数の基準電圧を発生する基準電圧発生回路と、前記複数の基準電圧の中からデジタル表示信号の上位側ビットに対応した 2 つの近接した基準電圧を選択して出力する基準電圧セレクトと、前記基準電圧セレクトで選択された前記 2 つの近接した基準電圧を用いて前記デジタル表示信号の下位側ビットに対応したアナログ表示信号を生成して出力するスイッチトキャパシタ回路とを有する基準電圧選択／スイッチトキャパシタ併用型 D A 変換回路であり、前記スイッチトキャパシタ回路の出力段に前記アナログバッファ回路を配置してなることを特徴とする請求項 5 記載の表示装置。

20

【請求項 13】

透明絶縁基板上に画素がマトリクス状に配置されてなる表示部と、前記透明絶縁基板上に前記表示部と共に搭載され、デジタル表示信号をアナログ表示信号に変換して前記表示部のデータ線に与える D A 変換回路とを具備し、前記 D A 変換回路が、前記データ線を駆動するソースフォロア手段と、前記ソースフォロア手段のオフセット検出を複数回に亘って分割して行い、その検出したオフセットを順にキャンセルするオフセットキャンセル手段とを備えたアナログバッファ回路を有する表示装置を画面表示部として搭載したことを特徴とする携帯端末。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログバッファ回路、表示装置および携帯端末に関し、特に絶縁基板上に薄膜トランジスタ (Thin Film Transistor; TFT) で形成されてなるアナログバッファ回路、これを表示部の周辺駆動回路に用いた表示装置および当該表示装置を画面表示部として搭載した携帯端末に関する。

40

【0002】

【従来の技術】

液晶表示装置や E L (electroluminescence) 表示装置に代表されるフラットパネル型表示装置の分野では、近年、パネルの狭額縁化、薄型化を図るために、画素がマトリクス状に配置されてなる表示部と同じ透明絶縁基板上に、当該表示部を駆動する周辺の駆動回路を一体的に搭載するいわゆる駆動回路一体型表示装置の開発が進められている。液晶表示装置や E L 表示装置においては、画素トランジスタとして TFT が用いられていることから、駆動回路を透明絶縁基板上に搭載するに当たっては当該駆動回路も TFT を用いて形成されることになる。

【0003】

50

【発明が解決しようとする課題】

表示装置の周辺駆動回路には、駆動能力を上げるためにアナログバッファ回路が用いられることが多い。ここで、当該アナログバッファ回路を絶縁基板上にTFTを用いて形成する場合について考える。TFTは閾値 V_{th} の絶対値が大きくかつそのばらつきが非常に大きい。また、ガラス基板等の絶縁基板上に形成すると、シリコン基板上に形成する場合に比べてTFTの素子特性がさらに悪化することが知られている。このように、TFTの閾値 V_{th} の絶対値が大きくかつそのばらつきが非常に大きいと、TFTを用いて絶縁基板上にアナログバッファ回路を形成すると、アナログバッファ回路の入出力オフセットおよびそのばらつきが大きくなる。

【0004】

このアナログバッファ回路を、例えば、駆動回路一体型表示装置のデータドライバ（水平ドライバ）の出力部に、表示部のデータ線（信号線）に対応して複数個並べて用いるものとする。この場合、アナログバッファ回路の入出力オフセットのばらつきが大きいと、回路個々の出力電位誤差が大きくなる。すると、この出力電位誤差が表示部の列間の電位差となり、画面上に縦スジとして表示されるため、表示品位（ユニフォーミティ）を著しく悪化させることになる。

【0005】

また、絶縁基板上にTFTを用いてアナログ回路を形成した場合、TFTの閾値 V_{th} の絶対値が大きいと、回路を駆動するために高い電源電圧と大きなアイドル電流が必要になるため消費電力が大きくなり、駆動回路一体型の構成を採りつつ、表示装置の低消費電力化を図る上で不利になる。

【0006】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、絶縁基板上にTFTで形成する場合であっても、入出力オフセットが小さくかつ消費電力が少ないアナログバッファ回路、これを表示部の周辺駆動回路に用いた表示装置および当該表示装置を画面表示部として搭載した携帯端末を提供することにある。

【0007】**【課題を解決するための手段】**

本発明によるアナログバッファ回路は、出力負荷を駆動するソースフォロア手段と、このソースフォロア手段のオフセット検出を複数回に亘って分割して行い、その検出したオフセットを順にキャンセルするオフセットキャンセル手段とを備えた構成となっている。このアナログバッファ回路は、デジタル表示信号をアナログ表示信号に変換して表示部のデータ線に与えるDA変換回路を表示部と同じ透明絶縁基板上に搭載してなる表示装置において、当該DA変換回路の例えば出力部に用いられる。また、このアナログバッファ回路を用いたDA変換回路を有する表示装置は、PDA（Personal Digital Assistants）や携帯電話機に代表される携帯端末に、その画面表示部として搭載される。

【0008】

上記構成のアナログバッファ回路、これをDA変換回路の一部として用い表示装置、または当該表示装置を画面表示部として搭載した携帯端末において、ソースフォロアのオフセット検出を複数回に亘って分割して行うことで、最初に検出するオフセット電圧よりも最後に検出するオフセット電圧の方がずっと最終出力時の動作点の近くで検出される。したがって、最終オフセット電圧が最後に検出したオフセット電圧と非常に近くなり、ほぼキャンセルされるため、最終オフセット電圧が十分に小さくなる。

【0009】**【発明の実施の形態】**

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0010】**〔第1実施形態〕**

図1は、本発明の第1実施形態に係るN型バッファタイプのアナログバッファ回路の構成

10

20

30

40

50

例を示す回路図である。このN型バッファタイプのアナログバッファ回路は、NMOSトランジスタで構成され、出力信号電位が比較的高いとき、具体的には後述する特定の固定電位PSIGよりも高いときに用いられる。

【0011】

図1において、第1電源（例えば、正側電源VDD）と第2電源（例えば、負側電源VSS）との間には、ソースフォロアのNMOSトランジスタQn1と電流源In1とが直列に接続されている。回路入力端子INn1とNMOSトランジスタQn1のゲートとの間にはスイッチSn1が接続されている。回路入力端子INn1とNMOSトランジスタQn1のソースとの間には、スイッチSn2およびスイッチSn3が直列に接続され、さらにスイッチSn4およびスイッチSn5が直列に接続されている。

10

【0012】

NMOSトランジスタQn1のゲート（スイッチSn1の出力端）とスイッチSn4の出力端（スイッチSn5の出力端）との間にはキャパシタCn1が接続されている。NMOSトランジスタQn1のゲートとスイッチSn2の出力端（スイッチSn3の出力端）との間にはキャパシタCn2が接続されている。これら5つのスイッチSn1～Sn5および2つのキャパシタCn1、Cn2は、ソースフォロア（NMOSトランジスタQn1）のオフセット検出を2回に亘って分割して行い、その検出したオフセットを順にキャンセルするオフセットキャンセル手段を構成している。

【0013】

NMOSトランジスタQn1のソースと回路出力端子OUTn1との間にはスイッチSn6が接続されている。回路出力端子OUTn1（スイッチSn6の出力端）にはスイッチSn7の一端が接続されている。スイッチSn7の他端には、出力負荷のプリチャージ電位として低レベル（以下、“L”レベルと記す）の固定電位PSIGが与えられる。

20

【0014】

次に、上記構成の第1実施形態に係るN型バッファタイプのアナログバッファ回路の回路動作について、図2のタイミングチャートを用いて説明する。本アナログバッファ回路は、基本的に、次の4つの動作を順に行うことで1サイクルの動作を完了して1回の出力を行う。

【0015】

まず、期間Aにおいて、スイッチSn7が導通状態となり、出力負荷に対して固定電位PSIGがプリチャージされ始める。また、スイッチSn1、Sn3およびSn5が導通状態となり、NMOSトランジスタQn1のゲートに信号Vinが入力され、NMOSトランジスタQn1のゲートソース間に2つのキャパシタCn1、Cn2が接続される。これにより、このときのNMOSトランジスタQn1のゲートソース電圧（VosA）がキャパシタCn1、Cn2に蓄えられる。

30

【0016】

次に、期間Bにおいて、スイッチSn1、Sn5は非導通状態となり、スイッチSn4が導通状態となる。このとき、左側のキャパシタCn1の他方の電極に入力信号Vinが与えられるため、NMOSトランジスタQn1のゲート電圧はキャパシタCn1に蓄えられた電圧に応じて変化する。また、もう一つのキャパシタCn2は依然としてNMOSトランジスタQn1のゲートソース間に接続されたままであり、この時点でのゲートソース電圧（VosB）がこのキャパシタCn2に蓄積される。このときのソース電圧はおおよそ $V_{in} + (V_{osA} - V_{osB})$ となる。

40

【0017】

次に、期間CにおいてスイッチSn3、Sn4が非導通状態となり、スイッチSn2が導通状態となる。これにより、右側のキャパシタCn2の他方の電極に信号Vinが入力され、このキャパシタCn2に蓄えられた電圧に応じてゲート電位が変化する。このときのゲートソース電圧をVosCとすると、ソース電圧はおおよそ $V_{in} + (V_{osB} - V_{osC})$ となる。

【0018】

50

最後に、期間Dにおいてスイッチ S_{n6} が導通状態となり、スイッチ S_{n7} が非導通状態となる。これにより、出力負荷がNMOSトランジスタ Q_{n1} のソースフォロウ出力（ソース）に接続され、ソース電圧 $V_{in+} (V_{osB} - V_{osC})$ が負荷に出力される。この期間Dにおける動作については期間Cの始めからオーバーラップさせて行わせることも可能である。

【0019】

上述した動作において、重要なポイントは、ソースフォロアのオフセット検出を複数回、本例の場合は2回に亘って分割して行うことで、最初に検出するオフセット電圧 V_{osA} よりも2回目に検出するオフセット電圧 V_{osB} の方がずっと最終出力時の動作点の近くで検出されている点である。これにより、オフセット電圧 V_{osC} はオフセット電圧 V_{osB} と非常に近くなり、最終オフセット電圧 $(V_{osB} - V_{osC})$ が十分に小さくなる。すなわち、非常に高精度なオフセットキャンセルが達成される。

10

【0020】

因みに、ソースフォロアがNMOSトランジスタ単体からなる基本形の場合には、NMOSトランジスタのゲート-ソース電圧 V_{gs} 分の入出力オフセットが発生する。また、ソースフォロアのオフセット検出を1回行うオフセットキャンセルの場合には、オフセット検出時と最終出力時とのNMOSトランジスタの動作点が異なり、これに伴ってドレイン電圧に対するゲート電圧がオフセット検出時と最終出力時で異なるため、オフセット分を完全にキャンセルすることができず、基本形に比べてある程度オフセットキャンセルの効果が得られるものの依然として入出力オフセットが発生することになる。

20

【0021】

これに対して、第1実施形態に係るN型バッファタイプのアナログバッファ回路においては、ソースフォロアのオフセット検出を2回に亘って分割して行う構成を採ることで、最終オフセット電圧を十分に小さくでき、高精度なオフセットキャンセルを行うことができるため、極めて低オフセットで出力電位ばらつきの少ないアナログバッファ回路を実現できる。なお、この効果は、NMOSトランジスタ Q_{n1} の動作点の違い（例えば、ドレイン-ソース電圧 V_{ds} の違い）によるオフセット電圧の差が大きい場合により大きなものとなる。

【0022】

したがって、本実施形態に係るアナログバッファ回路は、閾値 V_{th} の絶対値が大きくかつそのばらつきが非常に大きいTFETを用いて構成する場合、特にその素子特性がさらに悪化し易いガラス基板などの絶縁基板上にTFETを用いて形成する場合に有用なものとなる。ただし、本発明は、TFETで形成される回路、あるいは絶縁基板上にTFETを用いて形成される回路への適用に限定されるものではなく、それ以外の回路の場合であって、高精度なオフセットキャンセルを行うことができることは、先述した動作説明から明らかである。

30

【0023】

図3は、本発明の第1実施形態に係るP型バッファタイプのアナログバッファ回路の構成例を示す回路図である。このP型バッファタイプのアナログバッファ回路は、PMOSトランジスタで構成され、出力信号電位が比較的低いとき、具体的には特定の固定電位 $PSIG$ よりも低いときに用いられる。

40

【0024】

図3において、電源 V_{DD} 電源 V_{SS} との間には、電流源 I_{p1} とソースフォロアのPMOSトランジスタ Q_{p1} とが直列に接続されている。回路入力端子 IN_{p1} とPMOSトランジスタ Q_{p1} のゲートとの間にはスイッチ S_{p1} が接続されている。回路入力端子 IN_{p1} とPMOSトランジスタ Q_{p1} のソースとの間には、スイッチ S_{p2} およびスイッチ S_{p3} が直列に接続され、さらにスイッチ S_{p4} およびスイッチ S_{p5} が直列に接続されている。

【0025】

PMOSトランジスタ Q_{p1} のゲート（スイッチ S_{p1} の出力端）とスイッチ S_{p4} の出

50

力端（スイッチ S_{p5} の入力端）との間にはキャパシタ C_{p1} が接続されている。PMOS トランジスタ Q_{p1} のゲートとスイッチ S_{p2} の出力端（スイッチ S_{p3} の入力端）との間にはキャパシタ C_{p2} が接続されている。これら5つのスイッチ $S_{p1} \sim S_{p5}$ および2つのキャパシタ C_{p1} , C_{p2} は、ソースフォロア（PMOS トランジスタ Q_{p1} ）のオフセット検出を2回に亘って分割して行い、その検出したオフセットを順にキャンセルするオフセットキャンセル手段を構成している。

【0026】

PMOS トランジスタ Q_{p1} のソースと回路出力端子 OUT_{p1} との間にはスイッチ S_{p6} が接続されている。回路出力端子 OUT_{p1} （スイッチ S_{p6} の出力端）にはスイッチ S_{p7} の一端が接続されている。スイッチ S_{p7} の他端には、出力負荷のプリチャージ電位として高レベル（以下、“H”レベルと記す）の固定電位 $PSIG$ が与えられる。

10

【0027】

上記構成のP型バッファタイプのアナログバッファ回路において、スイッチ $S_{p1} \sim S_{p7}$ およびキャパシタ C_{p1} , C_{p2} は、先述したN型バッファタイプのアナログバッファ回路（図1を参照）におけるスイッチ $S_{n1} \sim S_{n7}$ およびキャパシタ C_{n1} , C_{n2} にそれぞれ対応しており、回路動作についてはN型バッファタイプのアナログバッファ回路と全く同じである。そのタイミングチャートを図4に示す。これにより、N型バッファタイプのアナログバッファ回路の場合と全く同様の作用効果を奏する。

【0028】

（第1実施形態の応用例）

20

図5は、第1実施形態の応用例に係るアナログバッファ回路の構成例を示す回路図であり、図中、図1および図3と同等部分には同一符号を付して示している。本応用例に係るアナログバッファ回路では、出力負荷のプリチャージを交流的に行うために、N型バッファタイプのアナログバッファ回路とP型バッファタイプのアナログバッファ回路とを併用した構成を採っている。

【0029】

すなわち、図5において、回路入力端子 $IN1$ と回路出力端子 $OUT1$ との間には、図1に示したN型バッファタイプのアナログバッファ回路（以下、N型ソースフォロウ NSF と記す）と、図3に示したP型バッファタイプのアナログバッファ回路（以下、P型ソースフォロウ PSF と記す）とが並列に接続されている。また、回路出力端子 $OUT1$ （スイッチ S_{n6} , S_{p6} の各出力端）には、スイッチ S_7 （スイッチ S_{n7} , S_{p7} に相当）の一端が接続されている。スイッチ S_7 の他端には、出力負荷のプリチャージ電位として交流電位 CS が与えられる。

30

【0030】

次に、上記構成の応用例に係るアナログバッファ回路の回路動作について、図6のタイミングチャートを参照しつつ図7～図14の動作説明図を用いて説明する。図6のタイミングチャートにおいて、期間 OA から期間 OD まではN型ソースフォロウ NSF がアクティブとなり、P型ソースフォロウ PSF が非アクティブとなる。また、期間 $EA \sim$ 期間 ED では、P型ソースフォロウ PSF がアクティブとなり、N型ソースフォロウ NSF が非アクティブとなる。

40

【0031】

これらソースフォロウ NSF , PSF のアクティブ、非アクティブは制御信号 $Ncont / Pcont$ で各ソースフォロウの電流源 I_{n1} , I_{p1} を制御することにより実現される。制御信号 $Ncont / Pcont$ はプリチャージ電位 CS の極性に依じて出力され、プリチャージ電位 CS が“L”レベルのとき“H”レベルとなってN型ソースフォロウ NSF をアクティブにし、プリチャージ電位 CS が“H”レベルのとき“L”レベルとなってP型ソースフォロウ PSF をアクティブにする。

【0032】

具体的な回路動作は以下の通り。まず、期間 OA では、アナログバッファ回路は図7に示すような接続状態になる。すなわち、N型ソースフォロウ NSF のスイッチ S_{n1} , S_{n7}

50

3, S_{n5} および S_{n7} が導通 (閉) 状態となり、 S_{n2} , S_{n4} および S_{n6} が非導通 (開) 状態となる。このとき、P 型ソースフォロワ P S F においては、全てのスイッチが非導通状態にあり、この状態が期間 O D まで続く。

【0033】

この状態では、出力負荷に“L”レベルの C S 電位がプリチャージされ始め、そのプリチャージは期間 O D まで続けられる。また、NMOS トランジスタ Q_{n1} のゲートに信号 V_{in} が入力され NMOS トランジスタ Q_{n1} のゲートーソース間に 2 つのキャパシタ C_{n1} , C_{n2} が接続される。これにより、このときの NMOS トランジスタ Q_{n1} のゲートーソース電圧 (V_{osnA}) がキャパシタ C_{n1} , C_{n2} に蓄えられる。

【0034】

次に、期間 O B において、アナログバッファ回路は図 8 に示すような接続状態になる。すなわち、N 型ソースフォロワ N S F 側のスイッチ S_{n1} , S_{n5} が非導通となり、スイッチ S_{n4} が導通状態となる。このとき、左側のキャパシタ C_{n1} の他方の電極に入力信号 V_{in} が与えられるため、NMOS トランジスタ Q_{n1} のゲート電圧はキャパシタ C_{n1} に蓄えられた電圧に応じて変化する。また、もう一つキャパシタ C_{n2} は依然として NMOS トランジスタ Q_{n1} のゲートーソース間に接続されたままであり、この時点でのゲートーソース電圧 (V_{osB}) がこのキャパシタ C_{n2} に蓄積される。このときのソース電圧はおおよそ $V_{in} + (V_{osA} - V_{osB})$ となる。

【0035】

次いで、期間 O C において、アナログバッファ回路は図 9 に示すような接続状態になる。すなわち、N 型ソースフォロワ N S F 側のスイッチ S_{n3} , S_{n4} が非導通状態となり、スイッチ S_{n2} が導通状態となる。これにより、右側のキャパシタ C_{n2} の他方の電極に信号 V_{in} が入力され、このキャパシタ C_{n2} に蓄えられた電圧に応じてゲート電位が変化する。このときのゲートーソース電圧を V_{osC} とすると、ソース電圧はおおよそ $V_{in} + (V_{osB} - V_{osC})$ となる。

【0036】

最後に、期間 O D において、アナログバッファ回路は図 10 に示すような接続状態になる。すなわち、N 型ソースフォロワ N S F 側のスイッチ S_{n6} が導通状態となり、スイッチ S_{n7} が非導通状態となる。これにより、出力負荷が NMOS トランジスタ Q_{n1} のソースフォロワ出力 (ソース) に接続され、ソース電圧 $V_{in} + (V_{osB} - V_{osC})$ が負荷に出力される。

【0037】

ここで、出力時の NMOS トランジスタ Q_{n1} の動作点と最終的にオフセット検出されたときの NMOS トランジスタ Q_{n1} の動作点は極めて近いので、 $V_{osB} - V_{osC}$ は極めて小さくなり、低オフセット化が実現される。

【0038】

期間 E A, E B, E C, E D においては、出力負荷には“H”レベルの C S 電位がプリチャージされ、P 型ソースフォロワ P S F が N 型ソースフォロワ N S F と全く同様な動作を行って信号を出力する。この期間 E A ~ E D における回路動作については重複するのでその説明を省略する。なお、図 11 ~ 図 14 が期間 E A ~ E D の各動作説明図である。

【0039】

以上のように、プリチャージ回路 (スイッチ S_{n7}) と出力電圧の極性に応じて電流制御・接続制御される N 型ソースフォロワ N S F および P 型ソースフォロワ P S F を組み合わせることで、出力負荷を出力電圧の極性に対応した好ましい電位 (“H” レベル / “L” レベル) にプリチャージすることが可能になる。

【0040】

なお、N 型ソースフォロワ N S F の電流源 I_{n1} および P 型ソースフォロワ P S F の電流源 I_{p1} としては、それぞれ単一の NMOS トランジスタ、PMOS トランジスタからなる 1 トランジスタ型のものを用いることができる。また、図 15 および図 16 に示すような 3 トランジスタ型のものを用いれば、電流ばらつきが小さくなり、よりオフセット電圧

10

20

30

40

50

および出力電位誤差を低減できる。

【0041】

図15に示す回路は、N型ソースフォロワNSF用の電流源である。図15において、電源VDDと電源VSSとの間にPMOSトランジスタQp11およびNMOSトランジスタQn11が直列に接続されている。PMOSトランジスタQp11のゲートには“L”レベルの制御信号Ncontが与えられる。NMOSトランジスタQn11はゲートドレイン間が短絡され、ゲート同士が接続されたNMOSトランジスタQn12と共にカレントミラー回路を形成している。NMOSトランジスタQn12は、ソースフォロアのNMOSトランジスタQn1に対して直列に接続され、そのソースが電源VSSに接続されている。

10

【0042】

図16に示す回路は、P型ソースフォロワPSF用の電流源である。図16において、電源VDDと電源VSSとの間にPMOSトランジスタQp12およびNMOSトランジスタQn13が直列に接続されている。NMOSトランジスタQn13のゲートには“H”レベルの制御信号Pcontが与えられる。PMOSトランジスタQp12はゲートドレイン間が短絡され、ゲート同士が接続されたPMOSトランジスタQp13と共にカレントミラー回路を形成している。PMOSトランジスタQp13は、ソースフォロアのPMOSトランジスタQp1に対して直列に接続され、そのソースが電源VDDに接続されている。

【0043】

20

以上説明した第1実施形態およびその応用例に係るアナログバッファ回路においては、ソースフォロアのオフセット検出を2回に亘って分割して行う場合を例に挙げて説明したが、オフセット検出の回数は2回に限られるものではなく、3回以上であっても良く、その回数が増える程、より高精度なオフセットキャンセルを達成することができる。以下に、オフセット検出を3回行う場合のアナログバッファ回路について、第2実施形態として説明する。

【0044】

〔第2実施形態〕

図17は、本発明の第2実施形態に係るN型バッファタイプのアナログバッファ回路の構成例を示す回路図である。このN型バッファタイプのアナログバッファ回路は、NMOSトランジスタで構成され、出力信号電位が比較的高いとき、具体的には後述する特定の固定電位PSIGよりも高いときに用いられる。

30

【0045】

図17において、電源VDD電源VSSとの間には、ソースフォロアのNMOSトランジスタQn21と電流源In21とが直列に接続されている。回路入力端子INn21とNMOSトランジスタQn21のゲートとの間には、スイッチSn21が接続されている。回路入力端子INn21とNMOSトランジスタQn21のソースとの間には、スイッチSn22およびスイッチSn23が直列に接続され、さらにスイッチSn24およびスイッチSn25が直列に接続され、さらにスイッチSn26およびスイッチSn27が直列に接続されている。

40

【0046】

NMOSトランジスタQn21のゲート（スイッチSn21の出力端）とスイッチSn26の出力端（スイッチSn27の入力端）の間にはキャパシタCn21が接続されている。NMOSトランジスタQn21のゲートとスイッチSn24の出力端（スイッチSn25の入力端）の間にはキャパシタCn22が接続されている。NMOSトランジスタQn21のゲートとスイッチSn22の出力端（スイッチSn23の入力端）の間にはキャパシタCn23が接続されている。

【0047】

これら7つのスイッチSn21～Sn27および3つのキャパシタCn21～Cn23は、ソースフォロア（NMOSトランジスタQn21）のオフセット検出を3回に亘って分

50

割して行い、その検出したオフセットを順にキャンセルするオフセットキャンセル手段を構成している。

【0048】

NMOSトランジスタ Q_{n21} のソースと回路出力端子 OUT_{n21} の間にはスイッチ S_{n28} が接続されている。回路出力端子 OUT_{n21} （スイッチ S_{n28} の出力端）にはスイッチ S_{n29} の一端が接続されている。スイッチ S_{n29} の他端には、“L”レベルの固定電位 $PSIG$ が与えられる。

【0049】

続いて、上記構成の第2実施形態に係るアナログバッファ回路の回路動作について、図19のタイミングチャートを参照しつつ図19～図23の動作説明図を用いて説明する。本アナログバッファ回路は、基本的に、次の5つの動作を順に行うことで1サイクルの動作を完了して1回の出力を行う。

10

【0050】

まず、期間Aにおいては、図19に示すように、スイッチ S_{n29} が導通状態となり、出力負荷に対して固定電位 $PSIG$ がプリチャージされ始める。また、スイッチ S_{n21} 、 S_{n23} 、 S_{n25} および S_{n27} が導通状態となり、NMOSトランジスタ Q_{n21} のゲートに信号 V_{in} が入力され、NMOSトランジスタ Q_{n21} のゲートソース間に3つのキャパシタ C_{n21} 、 C_{n22} 、 C_{n23} が接続される。これにより、このときのNMOSトランジスタ Q_{n21} のゲートソース電圧(V_{osA})がキャパシタ C_{n21} 、 C_{n22} 、 C_{n23} に蓄えられる。

20

【0051】

次に、期間Bにおいては、図20に示すように、スイッチ S_{n21} 、 S_{n27} は非導通となり、スイッチ S_{n26} が導通状態となる。このとき、一番左側のキャパシタ C_{n21} の他方の電極に入力信号 V_{in} が与えられるため、NMOSトランジスタ Q_{n21} のゲート電圧はキャパシタ C_{n21} に蓄えられた電圧に応じて変化する。また、他の2つのキャパシタ C_{n22} 、 C_{n23} は依然としてNMOSトランジスタ Q_{n21} のゲートソース間に接続されたままであり、この時点でのゲートソース電圧(V_{osB})がこれらキャパシタ C_{n22} 、 C_{n23} に蓄積される。このときのNMOSトランジスタ Q_{n21} のソース電圧はおおよそ $V_{in} + (V_{osA} - V_{osB})$ となる。

30

【0052】

次に、期間Cにおいては、図21に示すように、スイッチ S_{n25} 、 S_{n26} が非導通状態となり、スイッチ S_{n24} が導通状態となる。これにより、真ん中のキャパシタ C_{n22} の他方の電極に信号 V_{in} が入力され、このキャパシタ C_{n22} に蓄えられた電圧に応じてゲート電位が変化する。このときのゲートソース電圧を V_{osC} とすると、ソース電圧はおおよそ $V_{in} + (V_{osB} - V_{osC})$ となる。

【0053】

次に、期間Dにおいては、図22に示すように、スイッチ S_{n23} 、 S_{n24} が非導通状態となり、スイッチ S_{n22} が導通状態となる。これにより、一番右側のキャパシタ C_{n21} の他方の電極に信号 V_{in} が入力され、このキャパシタ C_{n21} に蓄えられた電圧に応じてゲート電位が変化する。このときのゲートソース電圧を V_{osD} とすると、ソース電圧はおおよそ $V_{in} + (V_{osC} - V_{osD})$ となる。

40

【0054】

最後に、期間Eにおいては、図23に示すように、スイッチ S_{n28} が導通状態となり、スイッチ S_{n29} が非導通状態となる。これにより、出力負荷がNMOSトランジスタ Q_{n21} のソースフォロウ出力(ソース)に接続され、ソース電圧 $V_{in} + (V_{osC} - V_{osD})$ が負荷に出力される。この期間Eにおける動作については期間Dの始めからオーバーラップさせて行わせることも可能である。

【0055】

上述した動作において、重要なポイントは、最初に検出するオフセット電圧 V_{osA} よりも3回目に検出するオフセット電圧 V_{osC} の方がずっと最終出力時の動作点の近くで検

50

出されている点である。これにより、オフセット電圧 V_{osD} はオフセット電圧 V_{osC} と非常に近くなり、最終オフセット電圧 ($V_{osC} - V_{osD}$) が十分に小さくなる。すなわち、ソースフォロアのオフセット検出を2回に亘って分割して行う場合よりもさらに高精度なオフセットキャンセルが達成される。

【0056】

このように、第2実施形態に係るN型バッファタイプのアナログバッファ回路によれば、ソースフォロアのオフセット検出を3回に亘って分割して行うことにより、最終オフセット電圧を2回検出の場合よりもさらに小さくでき、より高精度なオフセットキャンセルを行うことができるため、極めて低オフセットで出力電位ばらつきの少ないアナログバッファ回路を実現できる。

10

【0057】

図24は、本発明の第2実施形態に係るP型バッファタイプのアナログバッファ回路の構成例を示す回路図である。このP型バッファタイプのアナログバッファ回路は、PMOSトランジスタで構成され、出力信号電位が比較的低いとき、具体的には特定の固定電位PSIGよりも低いときに用いられる。

【0058】

図24において、正電源VDD負電源VSSとの間には、電流源Ip21とソースフォロアのPMOSトランジスタQp21とが直列に接続されている。回路入力端子INp21とPMOSトランジスタQp21のゲートとの間には、スイッチSp21が接続されている。回路入力端子INp21とPMOSトランジスタQp21のソースとの間には、スイッチSp22およびスイッチSp23が直列に接続され、さらにスイッチSp24およびスイッチSp25が直列に接続され、さらにスイッチSp26およびスイッチSp26が直列に接続されている。

20

【0059】

PMOSトランジスタQp21のゲート（スイッチSp21の出力端）とスイッチSp26の出力端（スイッチSp27の入力端）との間にはキャパシタCp1が接続されている。PMOSトランジスタQp21のゲートとスイッチSp24の出力端（スイッチSp25の入力端）との間にはキャパシタCp22が接続されている。PMOSトランジスタQp21のゲートとスイッチSp22の出力端（スイッチSp23の入力端）との間にはキャパシタCp21が接続されている。

30

これら7つのスイッチSp21～Sp27および3つのキャパシタCp21～Cp23は、ソースフォロア（PMOSトランジスタQp21）のオフセット検出を3回に亘って分割して行い、その検出したオフセットを順にキャンセルするオフセットキャンセル手段を構成している。

【0060】

PMOSトランジスタQp21のソースと回路出力端子OUTp21との間にはスイッチSp28が接続されている。回路出力端子OUTp21（スイッチSp28の出力端）にはスイッチSp29の一端が接続されている。スイッチSp29の他端には、“H”レベルの固定電位PSIGが与えられる。

【0061】

上記構成のP型バッファタイプのアナログバッファ回路において、スイッチSp21～Sp29およびキャパシタCp21、Cp22、Cp23は、先述したN型バッファタイプのアナログバッファ回路（図17を参照）におけるスイッチSn21～Sn29およびキャパシタCn21、Cn22、Cn23にそれぞれ対応しており、回路動作についてはN型バッファタイプのアナログバッファ回路と全く同じである。ただし、図18のタイミングチャートにおいて、入力信号Vinが“L”レベルに、プリチャージ電位PSIGが“H”レベルになる。このP型バッファタイプのアナログバッファ回路の場合にも、N型バッファタイプのアナログバッファ回路の場合と全く同様の作用効果を得ることができる。

40

【0062】

（第2実施形態の応用例）

50

図25は、第2実施形態の応用例に係るアナログバッファ回路の構成例を示す回路図であり、図中、図17および図24と同等部分には同一符号を付して示している。本応用例に係るアナログバッファ回路では、出力負荷のプリチャージを交流的に行うために、N型バッファタイプのアナログバッファ回路とP型バッファタイプのアナログバッファ回路とを併用した構成を採っている。

【0063】

すなわち、図25において、回路入力端子IN21と回路出力端子OUT21との間には、図17に示したN型バッファタイプのアナログバッファ回路（N型ソースフォロウNSF）と、図24に示したP型バッファタイプのアナログバッファ回路（P型ソースフォロウPSF）とが並列に接続されている。また、回路出力端子OUT21（スイッチSn28, Sp28の各出力端）には、スイッチS29（スイッチSn29, Sp29に相当）の一端が接続されている。スイッチS29の他端には、出力負荷のプリチャージ電位として交流電位CSが与えられる。

10

【0064】

本応用例に係るアナログバッファ回路においては、図8のタイミングチャートを参照しつつ図19～図23の動作説明図を用いて説明したN型バッファタイプのアナログバッファ回路の回路動作と、同様のP型バッファタイプのアナログバッファ回路の回路動作とが、プリチャージ電位CSの極性反転に同期して交互に行われることになる。このように、プリチャージ回路（スイッチS29）と出力電圧の極性に応じて電流制御・接続制御されるN型ソースフォロウNSFおよびP型ソースフォロウPSFを組み合わせることで、出力負荷を好ましい電位（“H”レベル／“L”レベル）にプリチャージすることが可能になる。

20

【0065】

以上説明した第1、第2実施形態に係るアナログバッファ回路は、その用途が特に限定されるものではないが、例えば駆動回路一体型表示装置において、表示部を駆動する周辺の駆動回路の一部として用いて好適なものである。ただし、本発明は、表示装置の駆動回路への適用に限られるものではなく、特に絶縁基板上にTFTで形成されるアナログバッファ回路単体として用いことでも有用なものとなる。

【0066】

図26は、本発明に係る駆動回路一体型表示装置、例えば液晶表示装置の構成例を示すブロック図である。図26において、透明絶縁基板、例えばガラス基板11上には、画素がマトリクス状に配置されてなる表示部（画素部）12が形成されている。ガラス基板11は、もう一枚のガラス基板と所定の間隙を持って対向配置され、両基板間に液晶材料を封止することで表示パネル（LCDパネル）を構成している。

30

【0067】

表示部12における画素の構成の一例を図27に示す。マトリクス状に配置された画素20の各々は、画素トランジスタであるTFT（Thin Film Transistor；薄膜トランジスタ）21と、このTFT21のドレイン電極に画素電極が接続された液晶セル22と、TFT21のドレイン電極に一方の電極が接続された保持容量23とを有する構成となっている。ここで、液晶セル22は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

40

【0068】

この画素構造において、TFT21はゲート電極がゲート線（走査線）24に接続され、ソース電極がデータ線（信号線）25に接続されている。液晶セル22は対向電極がVCOM線26に対して各画素共通に接続されている。そして、液晶セル22の対向電極には、VCOM線26を介してコモン電圧VCOM（VCOM電位）が各画素共通に与えられる。保持容量23は他方の電極（対向電極側の端子）がCS線27に対して各画素共通に接続されている。

【0069】

ここで、IH（Hは水平期間）反転駆動または1F（Fはフィールド期間）反転駆動を行

50

う場合は、各画素に書き込まれる表示信号は、VCOM電位を基準として極性反転を行うことになる。また、VCOM電位の極性を1H周期または1F周期で反転させるVCOM反転駆動を1H反転駆動または1F反転駆動と併用する場合は、CS線27に与えられるCS電位の極性もVCOM電位に同期して交流反転する。

【0070】

ここで、VCOM電位としては、CS電位とほぼ同じ振幅の交流電圧が用いられる。ただし、実際には、データ線24からTFT21を通して液晶セル22の画素電極に信号を書き込む際に、寄生容量などに起因してTFT21で電圧降下が生じることから、VCOM電位としては、その電圧降下分だけDCシフトした交流電圧が用いられる。

【0071】

再び図26において、表示部12と同じガラス基板11上には、例えば、表示部12の左側にデータ処理回路13が、表示部12の上下側に水平(H)ドライバ(水平駆動回路)14A、14Bが、表示部12の右側に垂直(V)ドライバ(垂直駆動回路)15がそれぞれ周辺の駆動回路として搭載されている。ここでは、周辺の駆動回路として一部を例示したに過ぎず、これらに限られるものではない。また、水平ドライバ14A、14Bについては表示部12の上下いずれか一方に配置されても良い。これら周辺の駆動回路は、表示部12の画素トランジスタと共に、低温ポリシリコンあるいはCG(Continuous Grain; 連続粒界結晶)シリコンを用いて作製される。

【0072】

上記構成の液晶表示装置において、ガラス基板11に対して、低電圧振幅(例えば、0V-3.3V振幅)のR(赤)G(緑)B(青)パラレル入力の表示データDataが入力パッド(PAD)部16を介して基板外部から入力され、データ処理回路13において高電圧振幅(例えば0V-6.5V)にレベルシフト(レベル変換)される。レベルシフトされた表示データDataは、水平ドライバ14A、14Bに供給される。

【0073】

水平ドライバ14Aは、例えば、水平シフトレジスタ141、データサンプリングラッチ部142、第2ラッチ部143、レベルシフタ144およびDA(デジタル-アナログ)変換回路(DAC)145を有するデジタルドライバ構成となっている。水平ドライバ14Bについても、水平ドライバ14Aと全く同じ構成となっている。

【0074】

水平シフトレジスタ141は、タイミング発生回路(図示せず)から供給される水平スタートパルスHSTに应答してシフト動作を開始し、当該タイミング発生回路から供給される水平クロックパルスHCKに同期して1水平期間に順次転送していくサンプリングパルス生成する。データサンプリングラッチ部142は、水平シフトレジスタ141で生成されたサンプリングパルスに同期して、データ処理回路13から供給される表示データDataを1水平期間で順次サンプリングしラッチする。

【0075】

このラッチされた1ライン分のデジタルデータは、水平ブランキング期間に第2ラッチ部143に移される。第2ラッチ部143からは、1ライン分のデジタルデータが一斉に出力される。この出力された1ライン分のデジタルデータは、レベルシフタ144でレベルアップされてDA変換回路145に与えられ、ここでアナログ表示信号に変換される。DA変換回路145から出力される1ライン分のアナログ表示信号は、表示部12の水平方向画素数nに対応して配線されたデータ線25-1~25-nに出力される。

【0076】

垂直ドライバ15は、垂直シフトレジスタおよびゲートバッファによって構成される。この垂直ドライバ15において、垂直シフトレジスタは、タイミング発生回路(図示せず)から供給される垂直スタートパルスVSTに应答してシフト動作を開始し、当該タイミング発生回路から供給される垂直クロックパルスVCKに同期して1垂直期間に順次転送していく走査パルスを生成する。この生成された走査パルスは、表示部12の垂直方向画素数mに対応して配線されたゲート線24-1~24-mにゲートバッファを通して順次出

10

20

30

40

50

力される。

【0077】

この垂直ドライバ15による垂直走査により、走査パルスがゲート線24-1～24-mに順次出力されると、表示部12の各画素が行（ライン）単位で順に選択される。そして、この選択された1ライン分の画素に対して、DA変換回路145から出力される1ライン分のアナログ表示信号がデータ線25-1～25-nを経由して一斉に書き込まれる。このライン単位の書き込み動作が繰り返されることにより、1画面分の画表示が行われる。

【0078】

上記構成の液晶表示装置では、表示部12と同一のパネル（ガラス基板11）上に、データ処理回路13、水平ドライバ14A、14Bおよび垂直ドライバ15などの周辺の駆動回路を一体的に搭載したことにより、全駆動回路一体型の表示パネルを構成でき、外部に別の基板やIC、トランジスタ回路を設ける必要がないため、システム全体の小型化および低コスト化が可能になる。

【0079】

この駆動回路一体型液晶表示装置において、例えば、DA変換回路145を構成するのに、先述した第1、第2実施形態あるいはその応用例に係るアナログバッファ回路が用いられる。

【0080】

〔第1適用例〕

図28は、基準電圧選択型DA変換回路の構成例を示すブロック図である。ここでは、表示データDataとして、例えばR（赤）G（緑）B（青）各々6ビットのデジタルデータbR0～bR5、bG0～bG5、bB0～bB5が与えられるものとする。

【0081】

図28において、基準電圧発生回路31からは、6ビットの表示データDataに対応して64階調分の基準電圧V0～V63を発生する。これらの基準電圧V0～V63は、基準電圧セクタ32R、32G、32Bに与えられる。基準電圧セクタ32R、32G、32Bは、表示部12のデータ線25-1～25-nに対応して設けられており、64階調分の基準電圧V0～V63の中からデジタルデータbR0～bR5、bG0～bG5、bB0～bB5に対応した基準電圧を選択してアナログ表示信号として出力する。図29に、基準電圧セクタ32R、32G、32Bの構成の一例を示す。

【0082】

基準電圧セクタ32R、32G、32Bの出力側、即ち表示部12のデータ線25-1～25-nとの間には、バッファ回路33R、33G、33Bが設けられている。バッファ回路33R、33G、33Bが設けられる理由は次の通りである。すなわち、液晶表示装置の画面サイズが大きくなったり、あるいは解像度が高くなったりすると、データ線25-1～25-nに付く寄生容量などの容量負荷が重くなる。この容量負荷を決められた時間内に充放電するには、それ相応の駆動能力が要求される。したがって、バッファ回路33R、33G、33Bが必要となるのである。

【0083】

本適用例では、このバッファ回路33R、33G、33Bとして、先述した第1、第2実施形態あるいはその応用例に係るアナログバッファ回路を用いる。当該アナログバッファ回路は、先述したように、極めて低オフセットで出力電位のばらつきが少ないため、ガラス基板11などの絶縁基板上にTFTで形成しても何ら問題がない。

【0084】

したがって、第1、第2実施形態あるいはその応用例に係るアナログバッファ回路をバッファ回路33R、33G、33Bとして並べて配置しても、各バッファ回路間のオフセットのばらつきを抑えることができるため、当該オフセットばらつきに起因する縦スジが発生することがなく、表示品位（ユニフォーミティ）を向上できる。しかも、バッファ回路33R、33G、33Bを搭載できることで、データ線25-1～25-nの容量負荷に

10

20

30

40

50

対する駆動能力が上げることができるため、大型で高解像度の駆動回路一体型液晶表示装置の実現が可能になる。

【0085】

また、VCOM反転駆動を行う水平ドライバ14A、14Bにおいて、第1、第2実施形態の応用例に係るアナログバッファ回路を用いた場合に非常に好都合となる。何故なら、データ線25-1~25-nは、ある特定の階調レベル（例えば、ノーマリーホワイト型液晶表示装置では白レベル、ノーマリーブラック型液晶表示装置では黒レベル）にプリチャージされることが消費電力の観点から好ましく、この白レベルまたは黒レベルはVCOM反転に対応して交流的に変化するからである。

【0086】

すなわち、図5あるいは図25のプリチャージ電位CSとして、図27のCS線27に与えるCS電位（先述したように、VCOM電位に同期して交流反転する電位である）を用いることにより、当該CS電位は液晶への電圧非印加時の階調レベル（ノーマリーホワイト型液晶表示装置では白レベル、ノーマリーブラック型液晶表示装置では黒レベル）であり、その階調信号レベルからデータ線25-1~25-nの駆動を開始すれば良く、駆動電流が少なく済むため、消費電力の低減が可能になる。

【0087】

この適用例の場合、図5のスイッチS7および図25のスイッチS27がプリチャージスイッチとなる。そして、第1、第2実施形態の応用例に係るアナログバッファ回路において、各スイッチをON/OFF駆動するスイッチ信号、電流源をON/OFF駆動する制御信号Ncont、PcontおよびプリチャージスイッチをON/OFF駆動するプリチャージ信号については、タイミング発生回路34（図28を参照）で発生される。

【0088】

〔第2適用例〕

基準電圧選択型DA変換回路では、特に表示部12の水平方向画素数が増加すると、それに伴って基準電圧セクタ32R、32G、32Bの数が増加し、それに伴って基準電圧V0~V63を伝送する配線の長さが長くなることから、図30に示すように、駆動能力を上げるために基準電圧発生回路31の後段にバッファ回路35が設けられる。ここでは、バッファ回路35を一つのブロックで示しているが、実際には、基準電圧V0~V63の各々に対してバッファ回路35が設けられることになる。

【0089】

そして、本適用例では、このバッファ回路35として、先述した第1、第2実施形態あるいはその応用例に係るアナログバッファ回路を用いる。第1適用例では、バッファ回路33R、33G、33Bが基準電圧セクタ32R、32G、32Bで選択後の基準電圧V0~V63を扱っていたのに対し、本適用例では、バッファ回路35が基準電圧セクタ32R、32G、32Bで選択前の基準電圧V0~V63を扱うことになる。

【0090】

結局は、同じ基準電圧V0~V63を扱うことになるため、第1、第2実施形態あるいはその応用例に係るアナログバッファ回路の使い方としては第1適用例の場合と同じことになる。したがって、先述した理由と同じ理由により、特に第1、第2実施形態の応用例に係るアナログバッファ回路を用いた場合に非常に好都合となる。

【0091】

このように、基準電圧発生回路31用のバッファ回路35として、第1、第2実施形態あるいはその応用例に係るアナログバッファ回路を用いることにより、当該アナログバッファ回路は極めて低オフセットで出力電位のばらつきが少ないため、基準電圧V0~V63相互間の相対的な電位のばらつきを抑えることができる。これにより、デジタルデータbR0~bR5、bG0~bG5、bB0~bB5に正確に対応したアナログ表示信号レベルで表示駆動が行えるため、より高画質の画像を表示できることになる。

【0092】

〔第3適用例〕

10

20

30

40

50

図31は、スイッチトキャパシタ型DA変換回路の構成例を示すブロック図である。ここでは、表示データDataとして、例えばR(赤)G(緑)B(青)各々6ビットのデジタルデータbR0~bR5, bG0~bG5, bB0~bB5が与えられるものとする。

【0093】

図31において、スイッチトキャパシタ型DA変換回路41R, 41G, 41Bが表示部12のデータ線25-1~25-nに対応して設けられている。スイッチトキャパシタ型DA変換回路41R, 41G, 41Bは、基準電圧選択型DA変換回路の場合と同様の理由により、バッファ回路を内蔵している。本適用例では、このバッファ回路として、先述した第1, 第2実施形態に係るアナログバッファ回路を用いる。

【0094】

図32は、第3適用例に係るスイッチトキャパシタ型DA変換回路の内部構成の具体例を示す回路図である。本具体例では、理解を容易にするために、スイッチトキャパシタ型DA変換回路を2ビット構成とし、この2ビットのスイッチトキャパシタ型DA変換回路に対して図1の第1実施形態に係るN型バッファタイプのアナログバッファ回路を組み合わせた場合を例に挙げて示している。

【0095】

図32において、図1の回路と対応させて見ると、下位ビット(LSB)の入力データVin0側には、スイッチSn2-0, Sn3-0, Sn4-0, Sn5-0およびキャパシタCn1-0, Cn2-0からなる第1のスイッチ&キャパシタ群が設けられ、上位ビット(MSB)の入力データVin1側には、スイッチSn2-1, Sn3-1, Sn4-1, Sn5-1およびキャパシタCn1-1, Cn2-1からなる第2のスイッチ&キャパシタ群が設けられている。さらに、数合わせのために固定電位Vin1(initial)に接続されたスイッチSn1-i, Sn2-i, Sn3-i, Sn4-i, Sn5-iおよびキャパシタCn1-i, Cn2-iからなる第3のスイッチ&キャパシタ群が設けられている。バッファ部分のNMOSトランジスタQn1および電流源In1、その出力部のスイッチSn6, Sn7については図1の場合と同じである。

【0096】

上記構成のバッファ内蔵のスイッチトキャパシタ型DA変換回路において、第3のスイッチ&キャパシタ群のキャパシタCn1-i, Cn2-iの容量値と第1のスイッチ&キャパシタ群のキャパシタCn1-0, Cn2-0の容量値とは等しく設定され、これらに対して第2のスイッチ&キャパシタ群のキャパシタCn1-1, Cn2-1の容量値は1/2に設定される。また、入力データVin0, Vin1は、1("H"レベル)/0("L"レベル)の2値データであるため、その入力によってスイッチングが行われる。その結果、入力データVin0, Vin1の各電位の差分に応じてアナログ電圧が出力される。なお、スイッチトキャパシタ型DA変換回路の動作については周知であるので、ここではその説明を省略する。

【0097】

また、バッファ回路部分はオフセットキャンセル機能を持つものであり、その回路動作は第1実施形態に係るN型バッファタイプのアナログバッファ回路の場合と同じである。そのタイミングチャートを図33に示す。なお、各スイッチをON/OFF駆動するスイッチ信号、電流源をON/OFF駆動する制御信号Ncont, PcontおよびプリチャージスイッチをON/OFF駆動するプリチャージ信号については、タイミング発生回路42で発生される。

【0098】

このオフセットキャンセル動作により、オフセットを低減し、出力電位のばらつきを少なくすることができる。したがって、スイッチトキャパシタ型DA変換回路に対して第1実施形態に係るN型バッファタイプのアナログバッファ回路を組み合わせることにより、第1適用例の場合と同様の作用効果を奏することになる。これに加えて、図32の回路構成から明らかなように、図1のキャパシタCn2に相当するキャパシタCn2-0, Cn2-1を、スイッチトキャパシタとして兼用できるというメリットもある。

【0099】

なお、本適用例では、スイッチトキャパシタ型DA変換回路に対して第1実施形態に係るN型バッファタイプのアナログバッファ回路を組み合わせた場合を例に挙げたが、第1実施形態に係るP型バッファタイプのアナログバッファ回路、第1実施形態の応用例に係るアナログバッファ回路、さらには第2実施形態あるいはその応用例に係るアナログバッファ回路についても同様に組み合わせて用いることができる。

【0100】

(第3適用例の応用例)

図34は、第3適用例の応用例に係る基準電圧選択型DA変換回路の構成例を示すブロック図である。本応用例に係る基準電圧選択型DA変換回路は、基準電圧セクタとスイッチトキャパシタとの併用型DA変換回路である。ここでは、表示データDataとして、例えばRGB各々6ビットのデジタルデータbR0～bR5, bG0～bG5, bB0～bB5が与えられるものとする。

10

【0101】

基準電圧発生回路51は、6ビットのデジタルデータbR0～bR5, bG0～bG5, bB0～bB5に対して64階調分ではなく、それよりも粗い例えば9階調分の基準電圧V0～V8を発生する。この基準電圧V0～V8は、基準電圧セクタ52R, 52G, 52Bに供給される。基準電圧セクタ52R, 52G, 52Bは、6ビットのデジタルデータbR0～bR5, bG0～bG5, bB0～bB5のうち、例えば上位3ビット分のデータbR3～bR5, bG3～bG5, bB3～bB5に対して、基準電圧V0～V8のうちの近接した2つの基準電圧を選択して出力する。

20

【0102】

この選択された2つの基準電圧は、6ビットのデジタルデータbR0～bR5, bG0～bG5, bB0～bB5のうち、下位3ビット分のデータbR0～bR2, bG0～bG2, bB0～bB2と共に、スイッチトキャパシタ型DA変換回路53R, 53G, 53Bに入力される。スイッチトキャパシタ型DA変換回路53R, 53G, 53Bはその入力段に、2つの基準電圧間において下位3ビット分のデータbR0～bR2, bG0～bG2, bB0～bB2に対応したレベルを持つ3ビットのデータVin0, Vin1, Vin2を生成する回路部分を持っている。

30

【0103】

そして、この生成された3ビットのデータVin0, Vin1, Vin2は、本来のスイッチトキャパシタ型DA変換部分に与えられる。このスイッチトキャパシタ型DA変換部分に対して、第1実施形態に係るN型バッファタイプのアナログバッファ回路を組み合わせた場合の基本回路を示したのが図32の回路である。ただし、図32の回路は、2ビットのデータVin0, Vin1に対応したものであり、3ビット対応の場合には、キャパシタおよびスイッチの回路部分がもう一つ追加されることになる。

【0104】

このように、基準電圧セクタとスイッチトキャパシタとの併用型DA変換回路においても、そのスイッチトキャパシタ型DA変換回路53R, 53G, 53Bに対して、第1, 第2実施形態あるいはその応用例に係るアナログバッファ回路を組み合わせることが可能である。

40

【0105】

なお、以上説明した各適用例では、表示素子として液晶セルを用いてなる液晶表示装置に適用した場合を例に挙げて説明したが、この適用例に限られものではなく、表示素子としてEL(electroluminescence;エレクトロルミネッセンス)素子を用いてなるEL表示装置など、表示部と同一の基板上にアナログバッファ回路を搭載してなる表示装置全般に適用可能である。

【0106】

上述した適用例に係る液晶表示装置に代表される表示装置は、携帯電話機やPDA(Personal Digital Assistants;携帯情報端末)に代表される小

50

型・軽量の携帯端末の画面表示部として用いて好適なものである。

【0107】

図35は、本発明に係る携帯端末、例えばPDAの構成の概略を示す外観図である。

【0108】

本例に係るPDAは、例えば、装置本体61に対して蓋体62が開閉自在に設けられた折り畳み式の構成となっている。装置本体61の上面には、キーボードなどの各種のキーが配置されてなる操作部63が配置されている。一方、蓋体62には、画面表示部64が配置されている。この画面表示部64として、先述した第1、第2、第3適用例に係るDA変換回路を、表示部と同一基板上に搭載してなる液晶表示装置が用いられる。

【0109】

これら適用例に係るDA変換回路を搭載した液晶表示装置では、先述したように、駆動回路一体型を容易に実現でき、しかも画面サイズの大型化、高解像度化および高画質化が図れるとともに、低消費電力化も可能である。したがって、当該液晶表示装置を画面表示部64として搭載することで、PDA全体の構成を簡略化、画面サイズの大型化、高解像度化および高画質化に寄与できるとともに、画面表示部64の低消費電力化によってバッテリー電源による連続使用可能時間の長時間化が図れることになる。

【0110】

なお、ここでは、PDAに適用した場合を例に採って説明したが、この適用例に限られるものではなく、本発明に係る液晶表示装置は、特に携帯電話機など小型・軽量の携帯端末全般に用いて好適なものである。

【0111】

【発明の効果】

以上説明したように、本発明によれば、ソースフォロアのオフセット検出を複数回に亘って分割して行うことで、最終オフセット電圧を十分に小さくでき、高精度なオフセットキャンセルを行うことができるため、極めて低オフセットで出力電位ばらつきの少ないアナログバッファ回路を実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るN型バッファタイプのアナログバッファ回路の構成例を示す回路図である。

【図2】第1実施形態に係るN型バッファタイプのアナログバッファ回路の動作説明に供するタイミングチャートである。

【図3】本発明の第1実施形態に係るP型バッファタイプのアナログバッファ回路の構成例を示す回路図である。

【図4】第1実施形態に係るP型バッファタイプのアナログバッファ回路の動作説明に供するタイミングチャートである。

【図5】第1実施形態の応用例に係るアナログバッファ回路の構成例を示す回路図である。

【図6】第1実施形態の応用例に係るアナログバッファ回路の動作説明に供するタイミングチャートである。

【図7】第1実施形態の応用例に係るアナログバッファ回路におけるN型ソースフォロアの動作説明図（その1）である。

【図8】第1実施形態の応用例に係るアナログバッファ回路におけるN型ソースフォロアの動作説明図（その2）である。

【図9】第1実施形態の応用例に係るアナログバッファ回路におけるN型ソースフォロアの動作説明図（その3）である。

【図10】第1実施形態の応用例に係るアナログバッファ回路におけるN型ソースフォロアの動作説明図（その4）である。

【図11】第1実施形態の応用例に係るアナログバッファ回路におけるP型ソースフォロアの動作説明図（その1）である。

【図12】第1実施形態の応用例に係るアナログバッファ回路におけるP型ソースフォロ

10

20

30

40

50

アの動作説明図（その２）である。

【図１３】第１実施形態の応用例に係るアナログバッファ回路におけるＰ型ソースフォロアの動作説明図（その３）である。

【図１４】第１実施形態の応用例に係るアナログバッファ回路におけるＰ型ソースフォロアの動作説明図（その４）である。

【図１５】Ｎ型ソースフォロア用の電流源の回路例を示す回路図である。

【図１６】Ｐ型ソースフォロア用の電流源の回路例を示す回路図である。

【図１７】本発明の第２実施形態に係るＮ型バッファタイプのアナログバッファ回路の構成例を示す回路図である。

【図１８】第２実施形態に係るＮ型バッファタイプのアナログバッファ回路の動作説明に供するタイミングチャートである。 10

【図１９】第２実施形態の応用例に係るアナログバッファ回路におけるＮ型ソースフォロアの動作説明図（その１）である。

【図２０】第２実施形態の応用例に係るアナログバッファ回路におけるＮ型ソースフォロアの動作説明図（その２）である。

【図２１】第２実施形態の応用例に係るアナログバッファ回路におけるＮ型ソースフォロアの動作説明図（その３）である。

【図２２】第２実施形態の応用例に係るアナログバッファ回路におけるＮ型ソースフォロアの動作説明図（その４）である。

【図２３】第２実施形態の応用例に係るアナログバッファ回路におけるＮ型ソースフォロアの動作説明図（その５）である。 20

【図２４】本発明の第２実施形態に係るＰ型バッファタイプのアナログバッファ回路の構成例を示す回路図である。

【図２５】第２実施形態の応用例に係るアナログバッファ回路の構成例を示す回路図である。

【図２６】本発明に係る駆動回路一体型液晶表示装置の構成例を示すブロック図である。

【図２７】表示部における画素の構成の一例を示す回路図である。

【図２８】本発明の第１適用例に係る基準電圧選択型ＤＡ変換回路の構成例を示すブロック図である。

【図２９】基準電圧セレクトの構成例を示す回路図である。 30

【図３０】本発明の第２適用例に係る基準電圧選択型ＤＡ変換回路の構成例を示すブロック図である。

【図３１】本発明の第３適用例に係るスイッチトキャパシタ型ＤＡ変換回路の構成例を示すブロック図である。

【図３２】第３適用例に係るスイッチトキャパシタ型ＤＡ変換回路の内部構成の具体例を示す回路図である。

【図３３】第３適用例に係るスイッチトキャパシタ型ＤＡ変換回路の動作説明に供するタイミングチャートである。

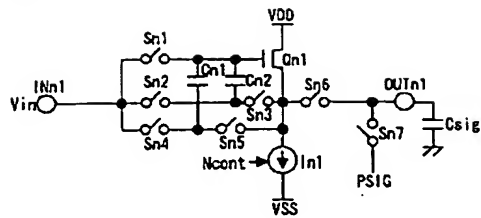
【図３４】本発明の第３適用例の応用例に係る基準電圧選択型ＤＡ変換回路の構成例を示すブロック図である。 40

【図３５】本発明に係るＰＤＡの構成の概略を示す外観図である。

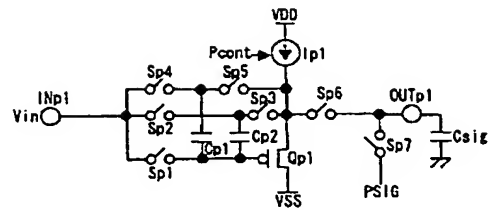
【符号の説明】

１１…ガラス基板、１２…表示部、１３…データ処理回路、１４Ａ、１４Ｂ…水平ドライバ、１５…垂直ドライバ、２０…画素、２１…ＴＦＴ（画素トランジスタ）、２２…液晶セル、２３…保持容量、１４１…シフトレジスタ、１４５…ＤＡ変換回路

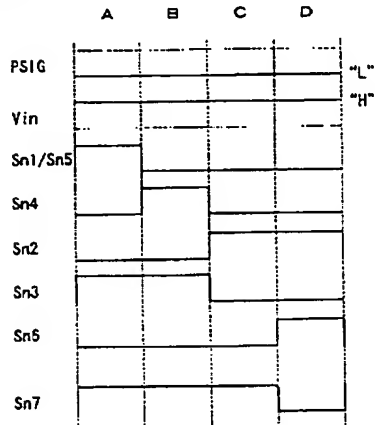
【図 1】



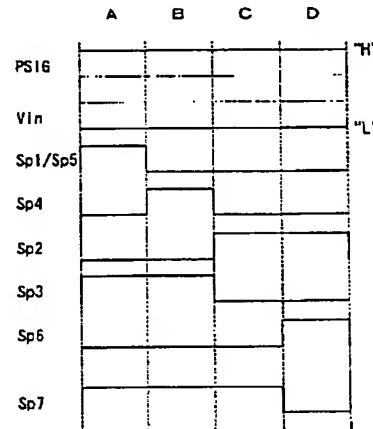
【図 3】



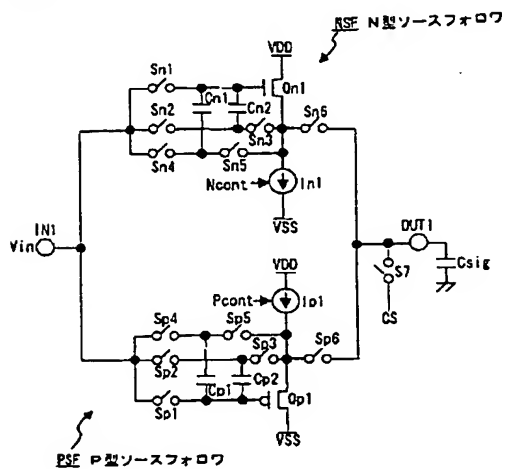
【図 2】



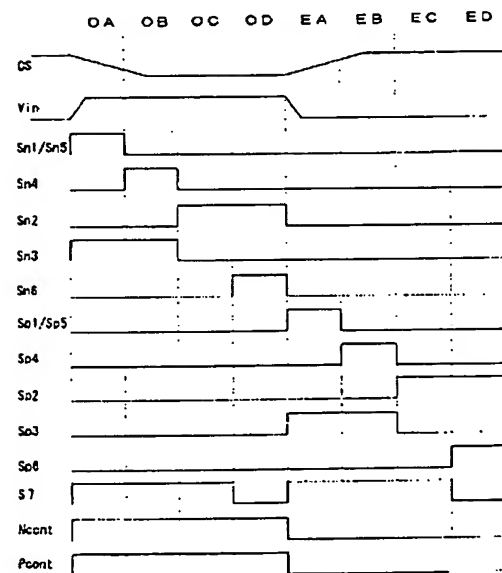
【図 4】



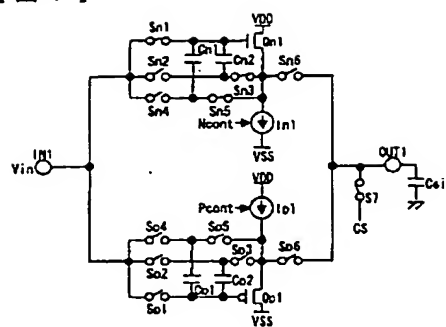
【図 5】



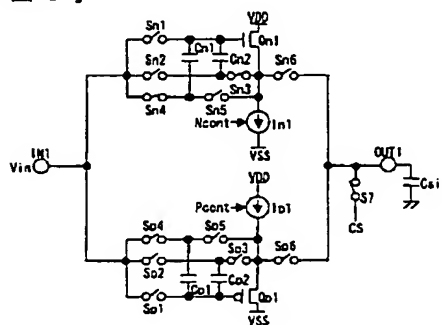
【図 6】



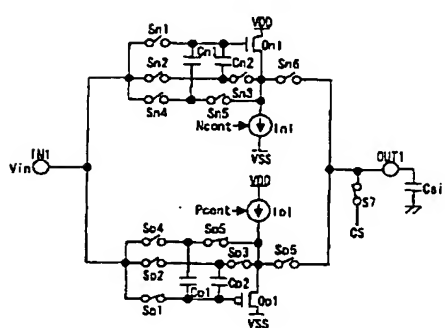
【図 7】



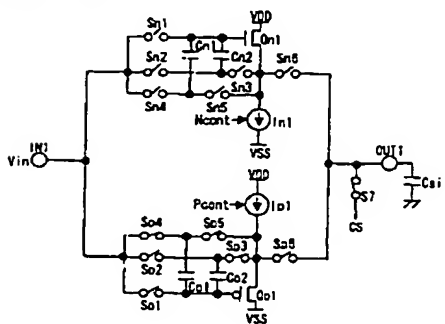
【図 8】



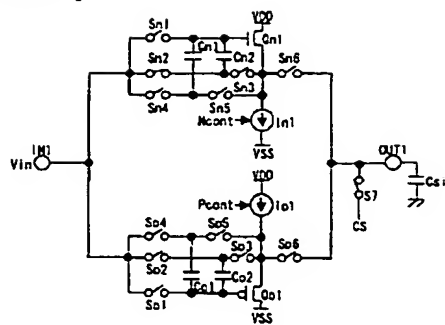
【図 11】



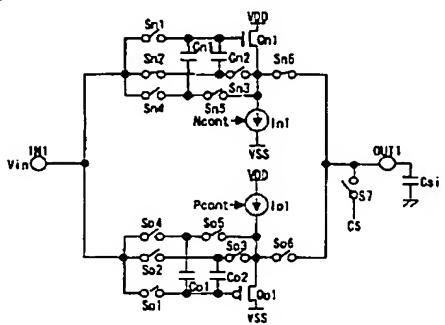
【図 12】



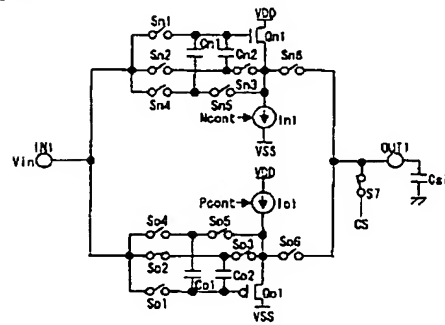
【図 9】



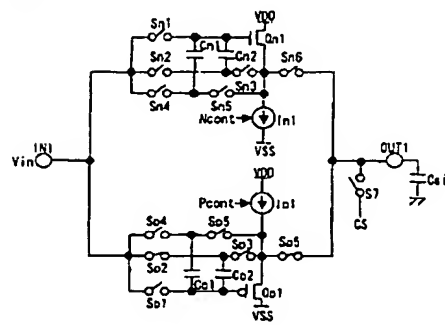
【図 10】



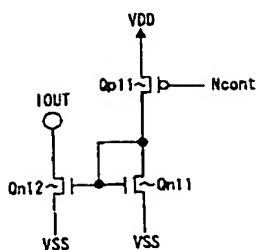
【図 13】



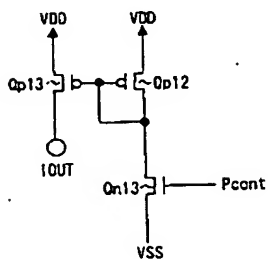
【図 14】



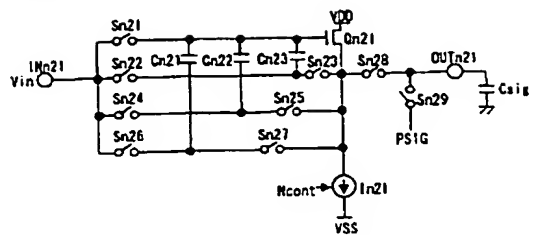
【図 15】



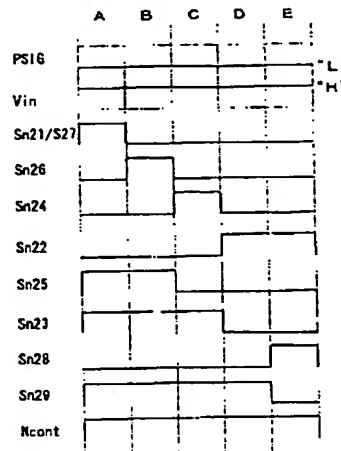
【図 16】



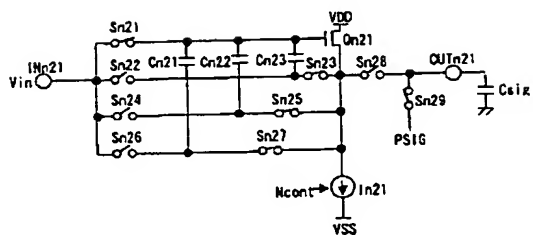
【図 17】



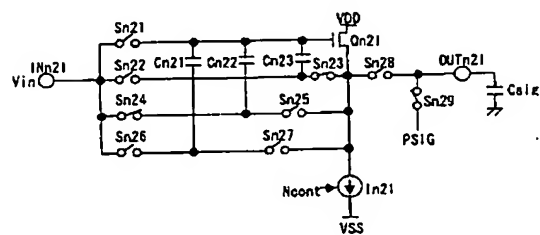
【図 18】



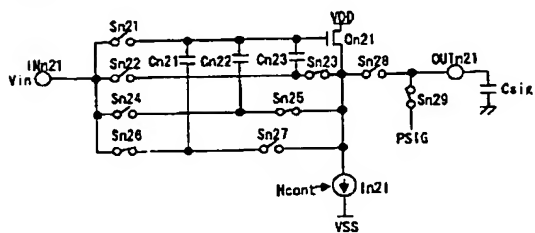
【図 19】



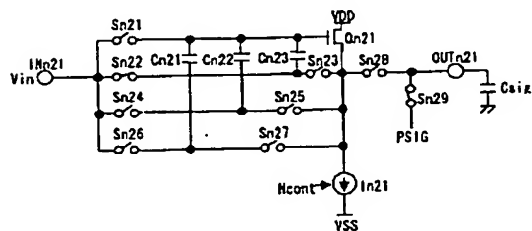
【図 21】



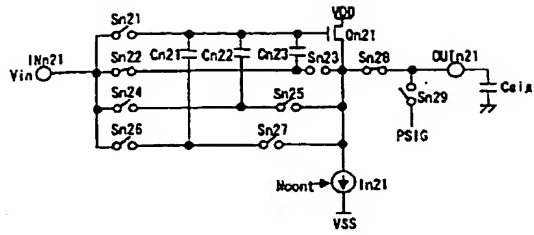
【図 20】



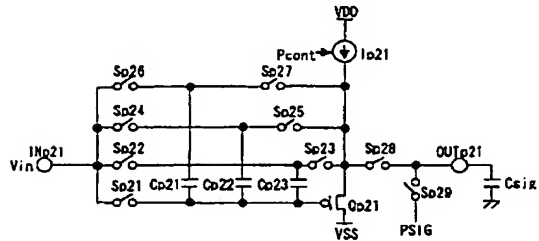
【図 22】



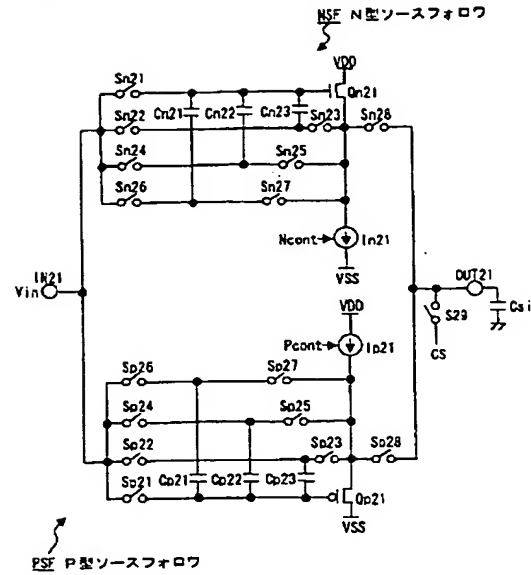
【図 23】



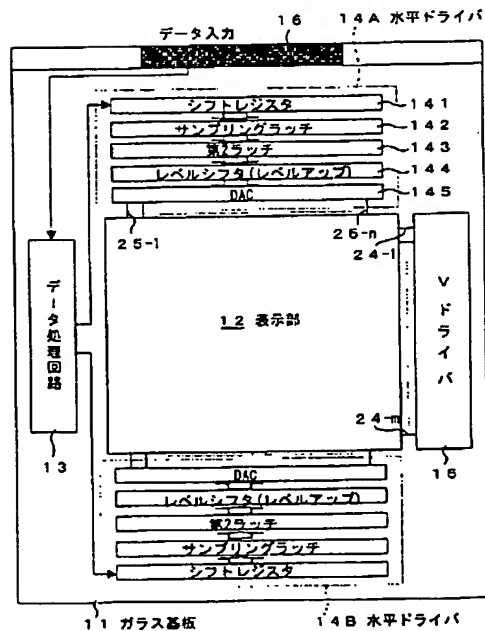
【図 24】



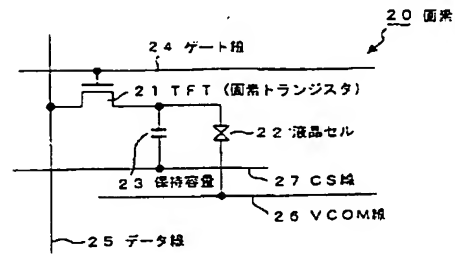
【図 25】



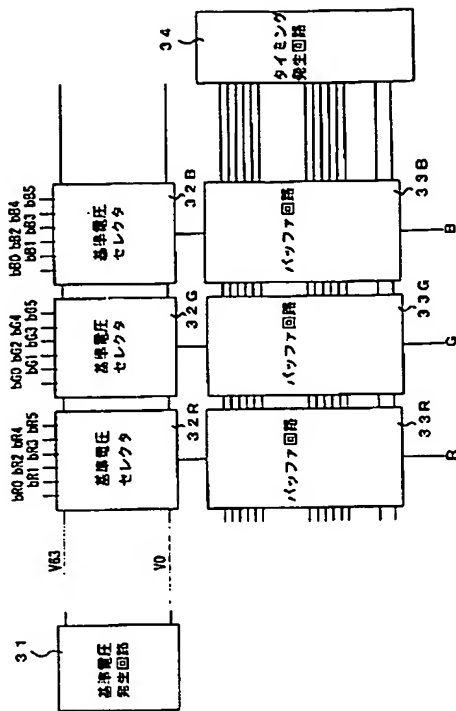
【図 26】



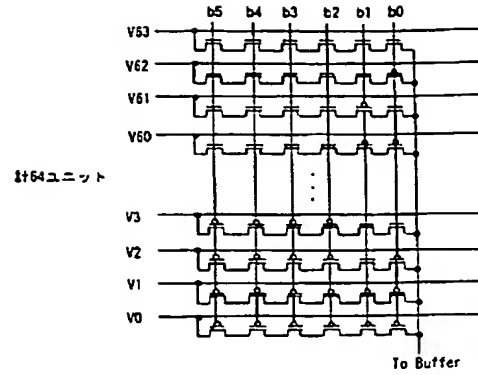
【図 27】



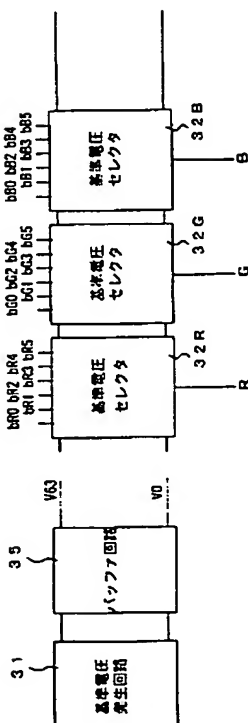
【図 28】



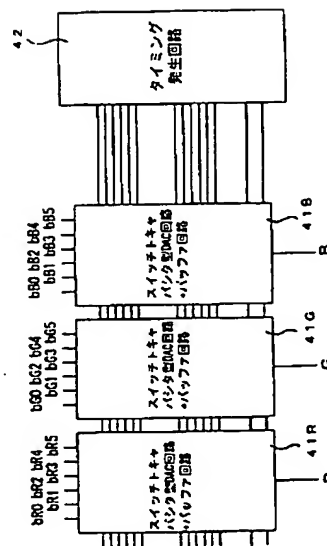
【図 29】



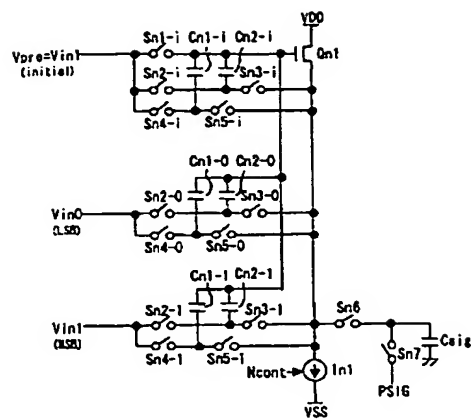
【図 30】



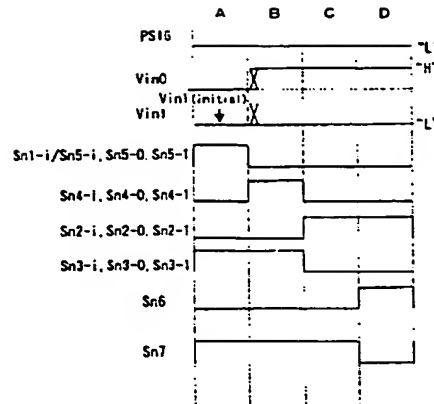
【図 31】



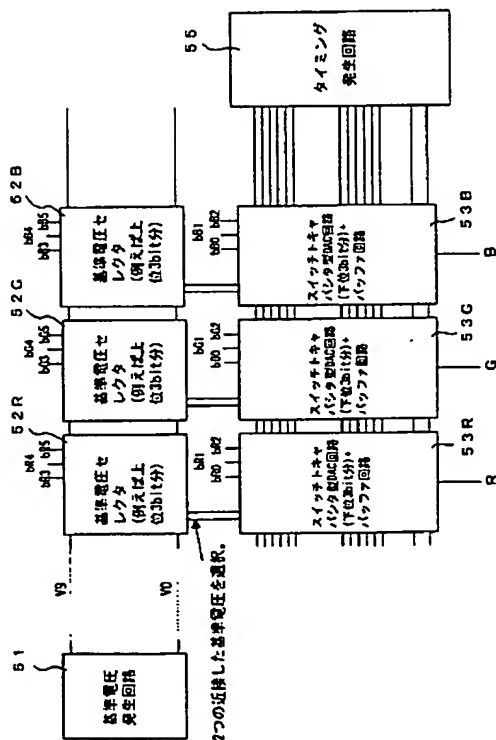
【図 3 2】



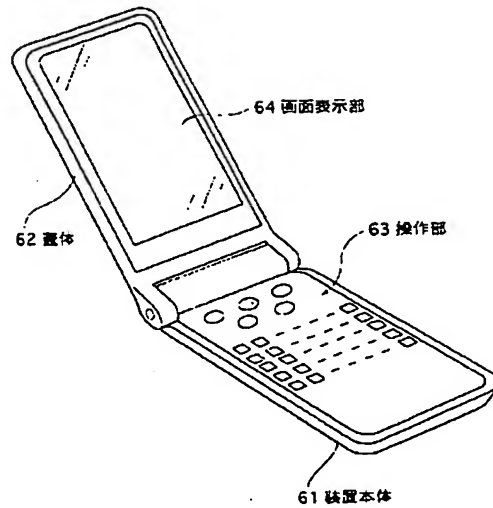
【図 3 3】



【図 3 4】



【図 3 5】



フロントページの続き

(51) Int. Cl. ⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 8 0 T
H 0 3 F	3/34	A
H 0 3 F	3/50	

F ターム (参考) 2H093 NA16 NC03 NC11 NC51 ND38 ND39 ND60 NE10 NG20
 5C006 AA16 AA22 AC27 AC28 AF83 BB16 BC12 BC20 BF03 BF04
 BF11 BF24 BF25 BF27 BF34 BF37 BF43 BF46 EB05 FA22
 FA26 FA47 FA56
 5C080 AA10 BB05 CC03 DD05 DD25 DD26 EE29 EE30 FF03 FF11
 JJ02 JJ03 JJ04 KK07
 5J091 AA01 AA21 AA45 AA51 CA13 CA36 CA78 FA18 HA10 HA17
 HA29 HA38 KA03 KA05 KA09 KA11 KA18 KA19 KA33 KA34
 KA66 KA67 MA02 MA23 QA04 SA08 TA01 TA06